

УДК 004.27

МЕТОД ПРОЕКТИРОВАНИЯ КОММУТАЦИОННЫХ СХЕМ ДЛЯ КВАЗИОДНОРОДНЫХ ЦИФРОВЫХ ИНТЕГРИРУЮЩИХ СТРУКТУР

В.Ф. Гузик¹, Д.А. Беспалов¹,
Е.В. Ляпунцова²

¹Институт компьютерных технологий
и информационной безопасности Ин-
женерно-технологическая академия
Южного федерального университета,

²Московский государственный уни-
верситет путей сообщения

В данной работе предлагается метод решения сложной задачи проектирования коммутационной структуры, используемой в современных проблемно-ориентированных вычислительных системах интегрирующего типа, то есть в цифровых интегрирующих машинах. Предложенный способ решения является масштабируемым и может использоваться для систем коммутации современных проблемно-ориентированных вычислительных систем различных размерностей.

Ключевые слова: цифровой интегратор, коммутация, проблемно-ориентированная вычислительная система, граф, матрица, метод, алгоритм.

ВВЕДЕНИЕ

Цифровые интегрирующие машины (ЦИМ) и структуры могут быть эффективно использованы для решения задач управления и моделирования, заменив стандартные на сегодняшний день решения в виде цифровых вычислителей с неизменяемой архитектурой и структурой [2].

В общем случае, подобная машина строится на базе набора быстродействующих цифровых интеграторов, управляющих структур, элементов памяти и поля коммутации. Каждый цифровой интегратор жестко связан с коммутационной средой своими выходами, но сама схема коммутации изменяется в соответствии со строением решаемой задачи, определяя общую концепцию проблемно-ориентированных вычислительных систем (ПОВС) и программируемой архитектурой (ПА) [1, 2].

Если развить данный подход до уровня обобщения, то можно получить возможность решать задачи общего вида, то есть не проблемно-ориентированные,

METHOD OF SWITCHING CIRCUITS DESIGN FOR QUASI-DIGITAL INTEGRATING STRUCTURES

V.F. GUZIK, D.A. BESPALOV,
E.V. LYAPUNCOVA

In this paper we propose a method for solving the difficult task of designing a circuit structure used in advanced problem-oriented computing systems integrator type, ie in digital integrating machines. The proposed method of solution is scalable and can be used for switching systems of modern problem-oriented computer systems of various dimensions.

Keywords: digital integrator, switching, problem-oriented computing systems, graphs, matrixes, methods, algorithms.

на исследуемом алгоритмическом и аппаратном базисе. В этом случае, высокий уровень эффективности вычислительной системы будет соблюдаться как минимум уже не только для 1 задачи, но для 1–2 классов задач.

На сегодняшний день существует множество реализаций специализированных микропроцессоров, однако наиболее перспективными для построения ПОВС являются программируемые логические интегральные схемы (ПЛИС) [3].

Наиболее логичным способом наполнения кристалла микросхемы-носителя ПОВС ПА является квазиоднородная структура. Тем более, что здесь подразумеваются сразу несколько парадигм организации вычислительного процесса: конвейерная и мультиконвейерная, а также параллельная [5].

Поле цифровых интеграторов погружено в структуру коммутатора. Оно может быть условно разбито на субполя отдельных решаемых задач, но в общем случае квазиоднородно (рис. 1).

Максимальное покрытие коммутационной структурой возможно только в том случае, когда решается задача соединения по полному графу между вычислительными элементами, то есть всеми n цифровыми интеграторами. Это значит, что, теоретически, любой интегратор может быть соединен со всеми остальными. Если на ЦИМ лежит такое ограничение, что каждый интегратор может взаимодействовать только с ближайшими интеграторами, то реализуется принцип «близкодействия». В таком случае, поставленная задача решается для субполя коммутатора ЦИМ. Идеальный случай соединения по полному графу сводится к условию $t \rightarrow n$.

ОСОБЕННОСТИ РАЗМЕЩЕНИЯ ЦИФРОВЫХ ИНТЕГРАТОРОВ В ЦИМ

Основным требованием к размещению вычислительных элементов интегрирующей машины является «компактность». В рассматриваемой ситуации компактность области размещения подразумевает линейность функции размещения. Результатом линейной расположенности ПЭ является оптимизация коммутационной структуры и суммарной длины связей. При этом параметр «минимальность» не рассматривается как ключевой.

Далее приводится описание разработанного метода размещения процессорных элементов, соответствующего процессу проектирования современных ПОВС интегрирующего типа.

Предположим, что дана произвольная схема из $(m-1)$ цифровых интеграторов. Логично интерпретировать данную структуру в виде графа. В вершинах графа расположим цифровые интеграторы, а дугами

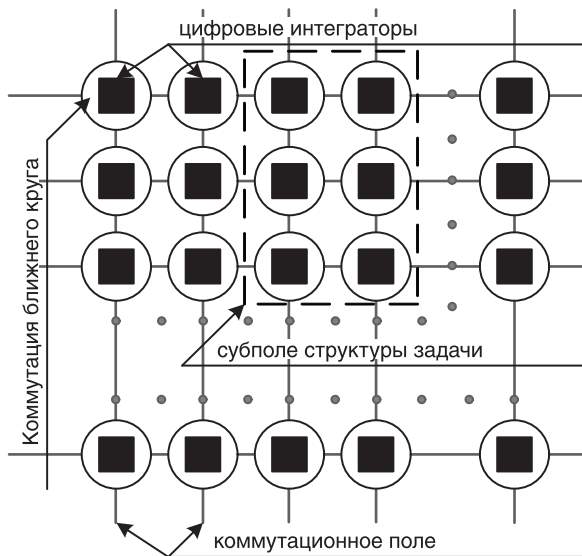


Рис. 1. Квазиоднородная коммутационная структура

будем считать связи между ними, отображенные на коммутационную структуру.

Проведем над ними некоторые преобразования для приведения к матричному виду. Для этого сведем все входы в одну вершину A_0 , а выходы в вершину A_1 . Две или более дуги в одном направлении между двумя вершинами опять же сведем к одной. Это позволит создать бинарную (содержащую только значения 0 и 1) матрицу смежности порядка n полученного графа.

Суть предложенного метода заключается в том, что исходный граф сначала разрезается на максимально связанные подграфы, а затем сами подграфы и вершины внутри них размещаются соответствующим образом.

Для решения такой задачи размещения выполняются следующие действия:

1. Определяется степень каждой вершины.
2. Определяются все пути в графе из A_0 и A_1 . Среди них выделяется главный путь. В этом случае сумма степеней вершин максимальна.
3. Так как одна и та же вершина может принадлежать сразу нескольким путям, то необходимо определить принадлежность каждой вершины конкретному пути и отбросить «лишние». Все оставшиеся пути изображаются в виде цепочки связанных вершин. Выделение очередного пути, начиная с главного пути, производится с таким расчетом, чтобы в него включалось максимальное количество вершин с наибольшей степенью, еще не включенных в предыдущие пути, а сумма степеней вершин в пути была максимальна. То есть последовательно выделяются так называемые «подглавные» пути. В результате получается ориентированный граф (рис. 2).

4. Множество выделенных путей далее необходимо разбить на два минимально связанных множества. Одно помещается выше главного пути, другое ниже него. Для этого выбираем два пути, имеющих максимальное количество связей с главным путем, и помещаем по обе стороны от него. Среди оставшихся путей выделяем один путь, имеющий максимальное количество связей с главным путем и одним из двух выделенных путей. Помещаем его ниже или выше. И так далее в порядке убывания количества связей.

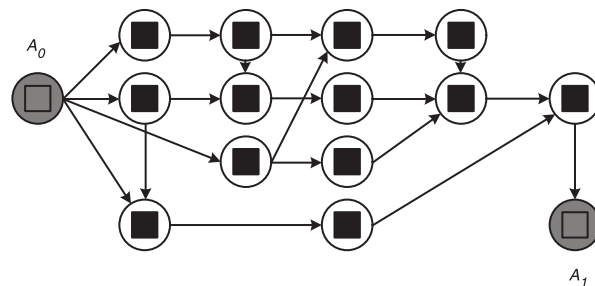


Рис. 2. Ориентированный граф для структуры задачи

5. Проверяем выполнение условия компактности размещения. Если оно не может быть выполнено, то в качестве главного пути берется другой путь и с ним проводятся сходные преобразования. Из доступных вариантов выбирается лучший.

6. Определяем координаты цифровых интеграторов, ставящихся в соответствие первичным интеграторам исходной схемы. В общем случае в полученном размещении могут присутствовать и пустые вершины.

В качестве основного рабочего инструмента здесь будем использовать соответствующую графу m -матрицу следующего вида (рис. 3).

ВЫДЕЛЕНИЕ ВСЕХ ПУТЕЙ ИЗ МНОЖЕСТВ КРАЕВЫХ ВЕРШИН

Для решения поставленной задачи можно использовать процесс последовательного возведения матрицы смежности графа в степень. Но при большом порядке матрицы смежности для коммутационной структуры, подобная процедура может быть невыгодной в плане затрачиваемой вычислительной мощности.

Однако можно предложить следующий авторский подход к решению проблемы, выраженный в алгоритме:

1. В первой строке матрицы выделяется первая единица и запоминается ее номер столбца k . Остальные просто помечаются.

2. В строке k выделяется первая единица и запоминается ее номер столбца l . Остальные помечаются. Процедура повторяется до тех пор, пока выделенная таким образом единица не окажется последней в столбце. Запомненная серия номеров строк, по сути, является последовательностью переходов, то есть составляет множество возможных путей, один из которых является искомым. Если на каком-либо шаге невозможно выделить очередную единицу, то есть

	1	...	L	...	(m-1)	A_1
A_0	a_{01}	...	a_{0L}	...	$a_{0(m-1)}$	a_{0A}
1	a_{11}	...	a_{1L}	...	$a_{1(m-1)}$	a_{1A}
2	a_{21}	...	a_{2L}	...	$a_{2(m-1)}$	a_{2A}
⋮	⋮	⋮	⋮	⋮	⋮	⋮
k	a_{k1}	...	a_{kL}	...	$a_{k(m-1)}$	a_{kA}
⋮	⋮	⋮	⋮	⋮	⋮	⋮
(m-1)	$a_{(m-1)1}$...	$a_{(m-1)L}$...	$a_{(m-1)(m-1)}$	$a_{(m-1)A}$

Рис. 3. Рабочая m -матрица

строка состоит из одних нулей, то пути из A_0 в A_1 не существует. Выделенная таким образом цепочка отбрасывается.

3. Далее в обратном направлении анализируется первая окончившаяся в A_1 цепочка строк с соответствующими номерами. Если в первой строке встречается более одной единицы, то перемещаем маркер вправо на место непомеченной единицы и переходим к п. 1 данного алгоритма. После определения нового пути, все элементы которого вплоть до элемента с номером такой строки совпадают с рассмотренным, метка также перемещается, принудительно освобождая следующую единицу в этой строке. Если проанализированы все единицы в строке, то переходим к п. 4.

4. Метка возвращается в исходное положение и, для строки, стоящей впереди рассмотренной, выполняется п. 3. Так продолжаем для всех подобных строк. Перемещение маркера в первую строку стирает непомеченную единицу, одновременно освобождая от маркера ближайшую единицу справа.

5. Конец алгоритма и формирование результирующего списка переходов.

ПРЕОБРАЗОВАНИЕ ГРАФА КОММУТАЦИИ К ИСКОМОМУ ВИДУ

После работы данного алгоритма необходимо адаптировать полученные пути для представления в виде ориентированного графа (рис. 2).

Для этого, определим вес каждого пути, приравняв его к количеству неповторяющихся единиц в строках и столбцах с номерами элементов, образующих заданный путь.

Путь с максимальным весом будем называть главным путем.

Далее итерационно выделяем все остальные пути и проводим их расстановку относительно главного пути до получения искомого ориентированного графа.

ОПРЕДЕЛЕНИЕ ВЗАИМНЫХ КООРДИНАТ ИНТЕГРИРУЮЩИХ ЭЛЕМЕНТОВ

На данном этапе решения поставленной задачи необходимо не только определить координатные соотношения между интегрирующими элементами, но и сопоставить их с интеграторами исходной схемы.

Для этого, применяя групповую подстановку, расположим строки с номерами элементов, принадлежащих выделенным путям полученного графа подряд друг за другом. Каждый такой путь будет определять клетка главной диагонали некоторой матрицы m . Включим в нее все единицы из строки A_0 или из других строк так, чтобы в главных диагоналях всех клеток было ровно столько единиц, сколько вершин в соответствующих путях. Все остальные единицы определяют связи между элементами пути, а также между самими путями. Сопоставим каждой единице в диагонали стандартный блок цифрового интегратора с системой коммутации

ближнего круга. Далее получим координаты элементов размещенной по линейному закону в проектируемой ПОВС интегрирующего типа схемы. При этом, взаимная ориентация путей связи осуществляется в соответствии с единицами, указывающими на связь между путями.

Выполнение операции перестановки путей соответствует применению групповой подстановки, перемещающей всю клетку по диагонали m -матрицы.

Порядок расположения клеток по диагонали соответствует порядку расположения путей в преобразованном графе.

ПОИСК ПУТЕЙ МЕЖДУ ВЫБРАННЫМИ ЦИФРОВЫМИ ИНТЕГРАТОРАМИ

Решение данной задачи состоит в получении координат коммутирующих элементов, при соответствующей настройке которых в проектируемой интегрирующей структуре образуются связи между вычислительными элементами, которые эквивалентны связям в исходной схеме.

При этом можно определить «известными» следующие элементы.

Множество $A = \{1, 2, \dots, l\}$ координат интегрирующих элементов ПОВС интегрирующего типа (ИТ), применяемых в реализации исходной схемы.

Множество $M = \{i, j, \dots, q\}$ координат занятых элементов, запрещенных для размещения.

Первоначально действует условие $M=A$ в плане интегрирующих элементов. Далее, по мере построения новых связей, мощность M постепенно увеличивается.

Для получаемой модели размещения можно потребовать, чтобы в качестве связей были использованы кратчайшие пути. Следовательно, задача сводится к поиску кратчайших путей между отдельными элементами, проходящих через свободные коммутирующие элементы.

Естественно, что данный процесс является итерационным, то есть на каждом шаге отыскивается связь между двумя элементами в общей структуре.

Тогда в поле коммутации D выделяется координатный прямоугольник с размерами

$$(i - k) (l - j), (i > k, j < l),$$

где ij, kl – координатные пары. В этом случае, для каждой i -той пары отождествляемых интегрирующих элементов может быть выделена пара $a_i[D_i; C_i]$, где D_i – поле коммутации, $C_i = \min\{C_{11}, C_{12}, \dots, C_{li}\}$ – множество допустимых путей между отождествляемыми элементами в D_i . В частности, один из таких путей имеет свойство оптимальности $C = d_x + d_y = C_{\min}$.

Соответствующий пример показан на рис. (рис. 4).

В этой связи, предлагается следующий способ определения кратчайших допустимых путей.

1. Выделим все допустимые пути в поле коммутации D_i . Для этого, создадим два единичных вектора $\vec{\alpha}$ и $\vec{\beta}$, совпадающих по направлению с осью X и осью Y координатного пространства коммутатора соответственно. Далее выделим множества элементов $\{K_{x_i}\}$ и $\{K_{y_j}\}$, лежащих за запрещенными элементами

$$M = \{(m+1)i, \dots, (n-1)m, \dots, n(p+1), \dots, (q-1)p, \dots\}$$

внутренних направлений $\vec{\alpha}np_x(ji, kl)$ и $\vec{\beta}np_y(ji, kl)$.

2. Определим «основные» отрезки $d_{x_i} = A_{x_i} \setminus \{K_{x_i}\}$ и $d_{y_j} = A_{y_j} \setminus \{K_{y_j}\}$, где:

$$A_{x_1} = \{ij; i(j+1); i(j+2); \dots; im\};$$

$$A_{y_1} = \{im; (i-1)m; (i-2)m; \dots; nm\}$$

$$A_{x_2} = \{nm; n(m+1); n(m+2); \dots; np\};$$

$$A_{y_2} = \{np; (n-1)p; (n-2)p; \dots; qp\}.$$

3. При этом, если все $\vec{\alpha}A_{x_i}$ совпадают по направлению с $\vec{\alpha}np_x(ji, kl)$, то

$$|A_{x_1}| + |A_{x_2}| + \dots = np_x(ji, kl),$$

в другом случае,

$$|A_{x_1}| + |A_{x_2}| + \dots > np_x(ji, kl).$$

Точно такое же соответствие соблюдается и по направлению базисного вектора $\vec{\beta}$ для A_{y_1} и A_{y_2} .

4. Тогда можем рассчитать $C = C_{\min} = \sum_i d_{x_i} + \sum_j d_{y_j}$.

В этом случае расположение цифровых интеграторов определяется соответствующим графом и его C -матрицей смежности. При этом нет необходимости искать таким образом все связи и работать со всей матрицей – сначала можно образовать осевые связи, образующие данный путь, а также межосевые связи, ориентирующие взаимное расположение путей.

Элементы, между которыми можно установить связь, выявляются по m -матрице, с расстановкой по ней цифровых интеграторов и образованием осевых и ориентирующих межосевых связей.

В этом случае, образование связей, частично удовлетворяющих задаче Штейнера, – то есть фактически к поиску кратчайшей сети, соединяющей заданный конечный набор точек некоторой плоскости [4]. Применительно к текущей задаче распределения и отождествления интегрирующих элементов, задача Штейнера сводится к проверке условия «нельзя ли для образования очередной связи использовать часть уже построенного ранее пути». Для этого в m -матрице

- 3. Код 01 – если элемент занят в неосновном направлении.
- 4. Код 00 – если элемент запрещен.

Пример первоначальной матрицы приведен на рис. 5.

Элементы строк корректируются в соответствии с проведенным анализом координат, лежащих рядом с ними элементов соответствующего пути. Примем за аксиому, что при заполнении строк S^* -матрицы элементы формируются следующим образом (рис. 6), где каждому a, b, c и d соответствуют двухбитовые коды.

Так как коммутационное поле также является стандартизированным компонентом с достаточно жесткой аппаратной реализацией, то оно имеет некоторые ограничения по структуре. В частности, наложим правило ограниченного множества вариантов соединений элементарных коммутаторов и правило классификации на тип связи: ординарные коммутаторы (связи «один к одному») и неординарные коммутаторы (связи «один ко многим»). Примеры таких элементарных коммутаторов показаны на рисунке ниже (рис. 7).

Как уже отмечалось ранее, после определения всех путей связи с соответствующей корректировкой S^* -матрицы, в ней имеется вся информация, необходимая для настройки коммутационной схемы ЦИМ.

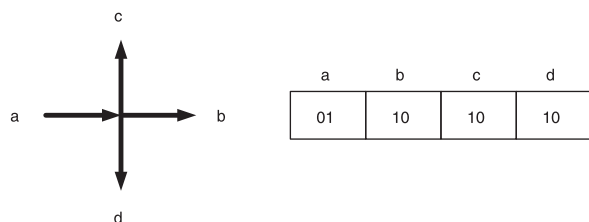


Рис. 6. Направление и коды коммутации

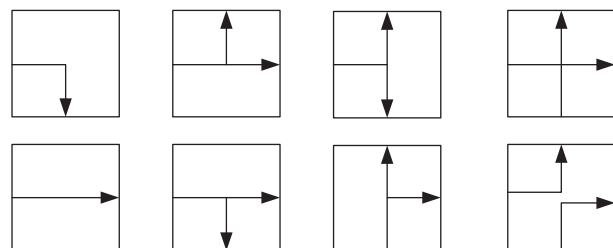


Рис. 7. Примеры элементарных коммутаторов

ЗАКЛЮЧЕНИЕ

Таким образом, в данной статье предложен метод для решения сложной задачи проектирования коммутационной структуры, используемой в современных проблемно-ориентированных вычислительных системах интегрирующего типа, то есть в цифровых интегрирующих машинах.

Также следует отметить, что данный способ подходит для применения как на уровне субполей коммутационной структуры, так и для коммутаторов большой размерности, так как является универсальным и масштабируемым.

ЛИТЕРАТУРА

1. **Гузик В.Ф.** Модульные интегрирующие вычислительные структуры. М.: Радио и связь, 1984. 216 с.
2. **Гузик В.Ф.** Проектирование проблемно-ориентированных вычислительных систем. Часть 1. Таганрог: Изд-во ТТИ ЮФУ, 2009. 463 с.
3. **Гузик В.Ф., Беспалов Д.А.** Некоторые аспекты разработки современных цифровых интегрирующих вычислительных систем. Известия ЮФУ. Технические науки. 2015. № 3 (164). С. 6–16.
4. **Иванов А. О., Тужилин А. А.** Задача Штейнера на плоскости или плоские минимальные сети // Матем. сб. 1991. Т. 182, № 12. С. 1813–1844.
5. **Каляев И.А., Левин И.И., Семерников Е.А., Шмойлов В.И.** Реконфигурируемые мультиконвейерные вычислительные структуры. Ростов-на-Дону: ЮНЦ РАН, 2008. 393 с.

Гузик Вячеслав Филиппович,
д.т.н., профессор, зав. кафедрой вычислительной техники ИКТИБ ИТА ЮФУ

Беспалов Дмитрий Анатольевич,
к.т.н., доцент кафедры вычислительной техники ИКТИБ ИТА ЮФУ

✉ Таганрог, Ростовская обл., пер. Некрасовский, д. 44

Ляпунцова Елена Вячеславовна,
д.т.н., профессор кафедры математического обеспечения АСУ МИИТ

✉ 127994, г. Москва, ул. Образцова, д 9, стр. 9,
тел.: +7 (495) 681-13-40, e-mail: tu@miit.ru